

PAT-NO: JP401230157A  
DOCUMENT-IDENTIFIER: JP 01230157 A  
TITLE: DMA CONTROLLER  
PUBN-DATE: September 13, 1989

INVENTOR-INFORMATION:  
NAME  
ARAI, YOSHIHIDE

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
RICOH CO LTD N/A

APPL-NO: JP63023598  
APPL-DATE: February 3, 1988

INT-CL (IPC): G06F013/28, G06F012/00

ABSTRACT:

PURPOSE: To attain a partial segmenting transfer by generating the partial segmenting address of a DMA with a set value to a means which sets a transfer starting address, a transfer width and a blank width.

CONSTITUTION: When the transfer starting address, the transfer width and the blank width are respectively set at registers, a starting address (i) is outputted onto an S bus, a block end address (i) is outputted onto an E bus successively, and based on a result, a starting address (i)+1 is prepared on an N bus. Consequently, the partial segmenting address of the DMA can be generated at high speed with a simple control. Thus, with a simple constitution, the title DMA controller to generate the address, which can execute the partial segmenting transfer, can be obtained.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A) 平1-230157

⑤ Int. Cl.<sup>4</sup>G 06 F 13/28  
12/00

識別記号

3 1 0  
3 0 4

庁内整理番号

M-8840-5B  
G-8841-5B

⑬ 公開 平成1年(1989)9月13日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 DMAコントローラ

⑯ 特 願 昭63-23598

⑰ 出 願 昭63(1988)2月3日

優先権主張 ⑱ 昭62(1987)11月24日 ⑲ 日本(JP) ⑳ 特願 昭62-295587

㉑ 発 明 者 新 居 良 英 東京都大田区中馬込1丁目3番6号 株式会社リコー内

㉒ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉓ 代 理 人 弁 理 士 磯 村 雅 俊

## 明 細 書

1. 発明の名称 DMAコントローラ

2. 特許請求の範囲

(1) 転送スタートアドレス、転送幅、ブランク幅を設定する手段を設けて、該設定手段への設定値によって、DMAの部分切出しアドレスを発生させる如く構成したことを特徴とするDMAコントローラ。

3. 発明の詳細な説明

技術分野

本発明はDMA(ダイレクト・メモリ・アドレス)コントローラに関し、特に連続的地址ではなく、部分的切出し転送を可能とするアドレスを発生させるDMAコントローラに関する。

従来技術

従来の、通常のDMAコントローラは、第4図に示す如く、スタートからエンドまでを連続的に転送するものであり、ビットマップメモリ上のある部分(絵混じり文書の絵の部分)だけを転送する

ことはできなかった。

これに対しては、第5図に示す如く、Aブロックの転送が終了すると、新たに再セットしてBブロック→対セット、Cブロック→……と細かく区切って転送する方法がある。しかし、この方法ではホストがブロック毎に介入しなければならず、ブロック数が多くなればなる程、時間がかかるという問題があった。

また、上の問題を解消するものとして、再セットパラメータをDMAコントローラが読みに行く方法もあるが、ホストの介入はなくなるものの、セット時間は同様にかかり、ブロック数が増えると、パラメータメモリが膨大な量になるという別の問題があった。

目 的

本発明は上記事情に鑑みてなされたもので、その目的とするところは、従来のDMAコントローラにおける上述の如き問題を解消し、簡単な構成で、部分的切出し転送を可能とするアドレスを発生させる、DMAコントローラを提供することに

ある。

# 構成

本発明の上記目的は、転送スタートアドレス、転送幅、ブランク幅を設定する手段を設けて、該設定手段への設定値によって、DMAの部分切出しアドレスを発生させる如く構成したことを特徴とするDMAコントローラによって達成される。

以下、本発明の構成を、実施例に基づいてより詳細に説明する。

第1図は、本発明の一実施例であるDMAコントローラの要部を示す、ブロック構成図である。第1図において、1はスタートアドレスレジスタ(SAR)、2は転送幅レジスタ(TWR)、3はブランク幅レジスタ(BWR)、4はアドレス発生カウンタ(AGC)、5は比較器、6は全体を制御するコントローラを示している。

以下、本実施例の動作を、第2図に示した、連続アドレス空間(外枠部)X中の、斜線部Yだけを転送する場合を例にとって説明する。第3図に動作タイミング図を示した。なお、第2図における

以後、アドレス発生カウンタ4は、DMAリクエスト信号(REQ)が来る毎に、カウントアップを行い、DMAアドレスバス(Aバス)上に出力行く。なお、Aバス上のアドレス値と、ブランク幅レジスタ3からBバスに出力されているブランク幅とは、逐次、加算器(ADD)7aによって加算され、Nバス上に出力されている。

一方、Eバス上は、スタートアドレスと転送幅を加えた値となっており、上記Aバス上の信号がカウントアップされて、 $E=A$ となると、比較器5がイコール信号( $\overline{EQ}$ )をコントローラ6に出力する。コントローラ6は、イコール信号 $\overline{EQ}$ を受けると、DMAアックノリッジ( $\overline{ACK}$ )を監視し、 $E=A$ アドレスでの転送が終了するのを待つ。

終了後、直ちに $\overline{WAIT}$ 信号を出力し、DMAコントローラ本体に、次の $\overline{ACK}$ を出力させないと同時に、REQによるアドレス発卵カウンタ4のカウントアップを禁止する。このとき、前述の如く、AバスとBバスを加えたNバスは、ブロックエンドアドレスとブランク幅を加えたものであ

①は転送幅、②+③はブランク幅を示しており、スタートアドレス、エンドアドレス、スタートアドレス $i$  ( $i=2, 3, \dots$ )およびエンドアドレス $i$  ( $i=2, 3, \dots$ )は、図に示される如き意味に用いられる。

ホストCPU(図示されていない)は、第2図の転送エリア(Y)に関する各種パラメータを算出する。この演算は、切出しエリアがわかれば、容易に可能である。算出したパラメータのうち、転送幅を転送幅レジスタ2に、ブランク幅をブランク幅レジスタ3に、スタートアドレスをスタートアドレスレジスタ1に、それぞれセットする。

上述のスタートアドレスセット時、コントローラ6は、 $\overline{SARWR}$ 信号によって、スタートアドレスレジスタ1に、CPUからのスタート信号をラッチさせる。これにより、Sバス上はスタートアドレスとなる。その後、コントローラ6は、LOAD信号を出力し、上記スタートアドレスをアドレス発生カウンタ4にロードする。これで、転送準備が終了したことになる。

るから、スタートアドレスになっている。

コントローラ6は、 $\overline{WAIT}$ 信号出力後、直ちに、スタートアドレスレジスタ1に対し、Nバス上のデータをラッチさせ、その後、アドレス発生カウンタ4にその値をロードさせる。

ロード終了後、コントローラ6は、 $\overline{WAIT}$ 信号をクリアする。この時点で、Sバス上はスタートアドレス2に、Eバス上はエンドアドレス2になっている。

以後、 $E=A \rightarrow$ ラッチ、ロード $\rightarrow \dots$ と、同様に繰り返し、飛び飛びのブロックアドレスを生成して行く。最後は、エンドアドレスになり、動作を終了する。

上記実施例によれば、転送スタートアドレス、転送幅、ブランク幅を、それぞれ、レジスタに設定することにより、スタートアドレス $i$ がSバス上に、ブロックエンドアドレス $i$ がEバス上に、順次出力されて、これに基づき、Nバス上には、スタートアドレス $i+1$ が用意される。これにより、簡単な制御で、高速の、DMAの部分切出し

アドレス発生が可能となる。

また、前記ブランク幅レジスタ3に、第2図における転送幅(①)と、ブランク幅(②+③)を用いて、

ブランク幅+(転送幅+ブランク幅)

の値をセットすると、DMAコントローラは、1ライン毎の間引き転送が可能になり、第1ライン→第3ライン→第5ライン→……と転送する。

すなわち、

ブランク幅+n×(転送幅+ブランク幅)

の値をセットすると、DMAコントローラは、nライン毎の間引き転送が可能になる。

上記各実施例は一例として示したものであり、本発明はこれらに限定されるべきものではない。  
効果

以上述べた如く、本発明によれば、転送スタートアドレス、転送幅、ブランク幅を設定する手段を設けて、該設定手段への設定値によって、DMAの部分切出しアドレスを発生させる如く構成したので、簡単な構成で、部分的切出し転送を可能

とするアドレスを発生させる、DMAコントローラを実現できるという顕著な効果を奏するものである。

#### 4. 図面の簡単な説明

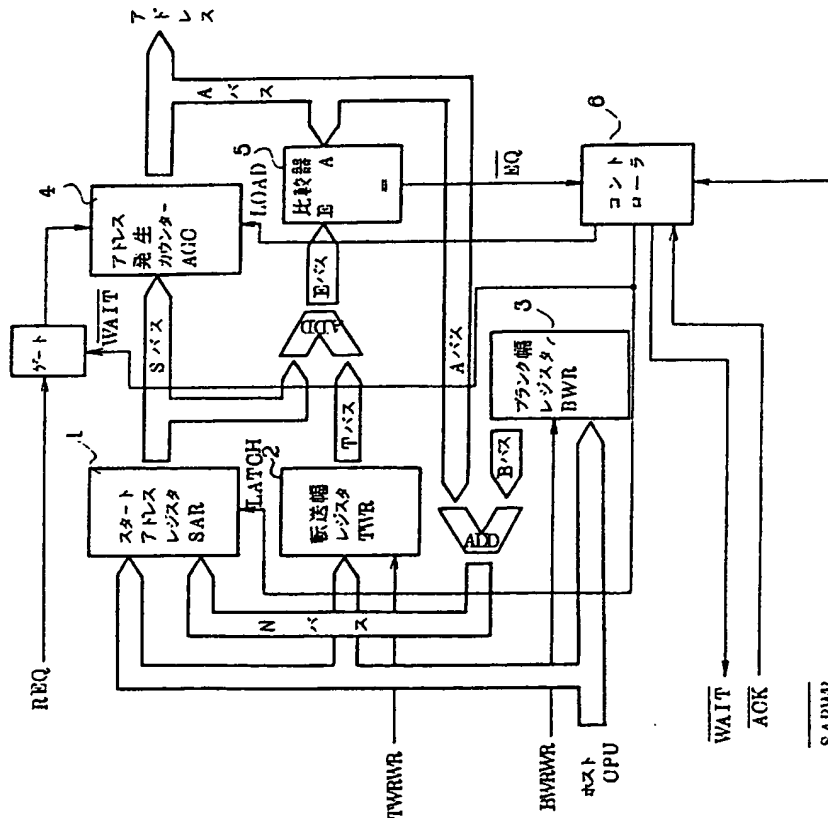
第1図は本発明の一実施例であるDMAコントローラの要部を示すブロック構成図、第2図は実施例の動作を説明するための転送エリア例を示す図、第3図は実施例の動作タイミング図、第4図は従来のスタートからエンドまでを連続的に転送する方式を説明するための図、第5図は他の従来方式を示す図である。

1: スタートアドレスレジスタ(SAR)、2: 転送幅レジスタ(TWR)、3: ブランク幅レジスタ(BWR)、4: アドレス発生カウンタ(AGC)、5: 比較器、6: コントローラ、X: 連続アドレス空間、Y: 転送エリア。

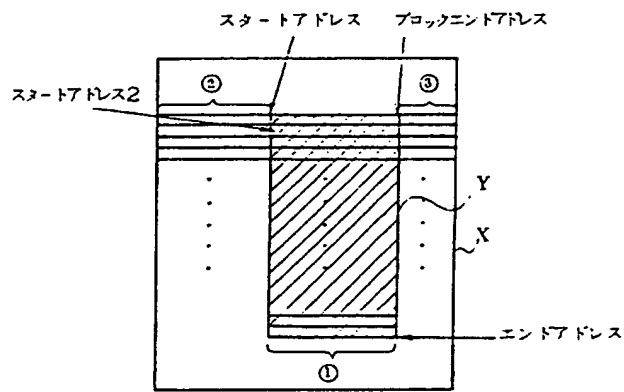
特許出願人 株式会社 リコー

代理人 弁理士 磯村 雅 俊

第 1 図



第 2 図



第 4 図

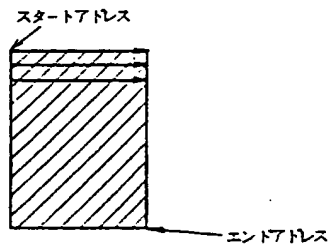
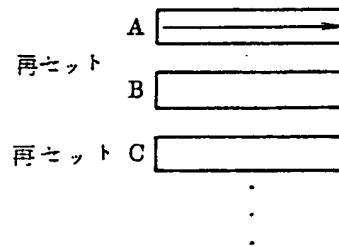


図 3



第 5 図



BEST AVAILABLE COPY